

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshihisa IBA**

Serial Number: **Not Yet Assigned**

Filed: **February 24, 2004**

Customer No.: **38834**

For: **SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 24, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-280155, filed on July 25, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels
Reg. No. 32,562

Atty. Docket No.: 042139
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/ll

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月25日
Date of Application:

出願番号 特願2003-280155
Application Number:

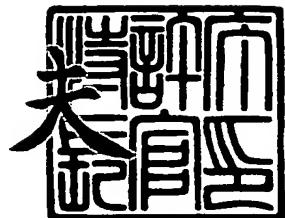
[ST. 10/C] : [JP2003-280155]

出願人 富士通株式会社
Applicant(s):

2003年12月 9日

特許長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 0340418
【提出日】 平成15年 7月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 【氏名】 射場 義久
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】特許請求の範囲**【請求項1】**

Si、C及びOを含有する層間絶縁膜と、
 前記層間絶縁膜中に埋め込まれた配線と、
 を有する半導体装置において、
 前記層間絶縁膜中のSi又はCの濃度は、前記配線と接する部分において、他の部分よりも高くなっていることを特徴とする半導体装置。

【請求項2】

配線上にSiCバリア膜を形成する工程と、
 前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する工程と、
 前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成する工程と、
 前記開口部に向かって露出する前記層間絶縁膜の側面に対して、水素を含有するガスを用いたプラズマ処理を行う工程と、
 前記SiCバリア膜に対してエッチングを行うことにより、前記開口部を前記配線まで到達させる工程と、
 前記開口部内に導電材を埋め込む工程と、
 を有することを特徴とする半導体装置の製造方法。

【請求項3】

前記水素を含有するガスとして、少なくともH₂ガスを含有するガスを用いることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】

前記水素を含有するガスとして、少なくともNH₃ガスを含有するガスを用いることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】

前記プラズマ処理によって、前記層間絶縁膜の側面部分を変質させて前記SiCバリア膜との選択比を向上させることを特徴とする請求項2乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】

前記プラズマ処理を行う際に、前記水素を含有するガスの他にN₂ガスを含有し、酸素を実質的に含まないガスを処理チャンバ内に流入させることを特徴とする請求項2乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】

配線上にSiCバリア膜を形成する工程と、
 前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する工程と、
 前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成する工程と、
 前記開口部に向かって露出する前記層間絶縁膜の側面に対してプラズマ処理を行うことにより、前記層間絶縁膜の表面上に有機膜を形成する工程と、
 前記SiCバリア膜に対してエッチングを行うことにより、前記開口部を前記配線まで到達させる工程と、
 前記開口部内に導電材を埋め込む工程と、
 を有することを特徴とする半導体装置の製造方法。

【請求項8】

前記層間絶縁膜を形成する工程と、前記層間絶縁膜に開口部を形成する工程との間に、前記層間絶縁膜上にSiO₂膜を形成する工程を有し、

前記層間絶縁膜に開口部を形成する工程において、前記SiO₂膜にも前記開口部を形成し、

前記プラズマ処理を、前記SiO₂膜上には前記有機膜が形成されない条件の下で行うことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】

前記プラズマ処理を行う工程及び前記SiCバリア膜に対してエッチングを行う工程に

において、C₄F₆ガスを用いることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項10】

前記層間絶縁膜として、ポーラスシリカ膜、SiOC膜、ポーラスSiOC膜、SiOCN膜及びポーラスSiOCN膜からなる群から選択された1種の膜を形成することを特徴とする請求項2乃至9のいずれか1項に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、配線層の形成に好適な半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近時、ダマシン法を採用した配線層の形成に当たって、3層構造のハードマスクを用いる方法が用いられている。図14(a)乃至図14(d)は、従来のダマシン法を採用した半導体装置の製造方法を工程順に示す断面図である。

【0003】

従来の製造方法では、図14(a)に示すように、層間絶縁膜101中にCu膜102を埋め込み、その後、これらの上に、バリア膜としてのSiC膜103、ポーラスシリカ膜104、キャップ膜としてのSiC膜105、SiO₂膜106、SiN膜107、及びBARC(Bottom Anti Reflection Coating)等の反射防止膜108を順次形成し、更に、ArFレジストからなるレジストマスク109を形成する。

【0004】

次に、図14(b)に示すように、レジストマスク109をマスクとして、反射防止膜108及びSiN膜107をエッティングする。次いで、レジストマスク109及び反射防止膜108をアッシングにより除去する。その後、SiN膜107をマスクとして、SiO₂膜106をエッティングする。続いて、SiO₂膜106をマスクとして、SiC膜105をエッティングすると共に、SiN膜107を除去する。

【0005】

次に、図14(c)に示すように、SiO₂膜106をマスクとして、ポーラスシリカ膜104をエッティングする。

【0006】

次いで、図14(d)に示すように、SiO₂膜106をマスクとして、SiC膜103をエッティングする。その後、配線の形成を行う。

【0007】

従来、このようなダマシン法によってCu配線の形成を行っており、低抵抗で微細な配線が得られている。

【0008】

しかしながら、上述のようなダマシン法では、図14(d)に示すように、バリア膜であるSiC膜103をエッティングする際に、低誘電率膜であるポーラスシリカ膜104がサイドエッティングによって加工され、その側部が後退してしまう。このような現象は、ポーラスシリカ膜だけでなく、他の無機系の低誘電率膜、例えばSiOC膜、SiOCN膜、ポーラスSiOC膜、ポーラスSiOCN膜等でも現れている。

【0009】

【特許文献1】特開2003-124189号公報

【特許文献2】特許第3250518号明細書

【特許文献3】特許第3365554号明細書

【特許文献4】特開2002-26121号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、トレンチ(配線溝)を形成する際の層間絶縁膜のサイドエッティングを防止して所望の特性を得ることができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

【0012】

本願発明に係る第1の半導体装置の製造方法では、配線上にSiCバリア膜を形成した後、前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する。次に、前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成し、前記開口部に向かって露出する前記層間絶縁膜の側面に対して、水素を含有するガスを用いたプラズマ処理を行う。次いで、前記SiCバリア膜に対してエッティングを行うことにより、前記開口部を前記配線まで到達させる。そして、前記開口部内に導電材を埋め込む。

【0013】

本願発明に係る第2の半導体装置の製造方法では、配線上にSiCバリア膜を形成した後、前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する。次いで、前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成し、前記開口部に向かって露出する前記層間絶縁膜の側面に対してプラズマ処理を行うことにより、前記層間絶縁膜の表面上に有機膜を形成する。次いで、前記SiCバリア膜に対してエッティングを行うことにより、前記開口部を前記配線まで到達させる。そして、前記開口部内に導電材を埋め込む。

【発明の効果】

【0014】

第1の半導体装置の製造方法によれば、プラズマ処理によって層間絶縁膜の側面を変質させてSiCバリア膜との選択比を向上させることができる。このため、その後のSiCバリア膜のエッティング時にも層間絶縁膜がサイドエッティングされることはなく、所望の特性（設計通りの特性）を得ることができる。

【0015】

また、第2の半導体装置の製造方法によれば、プラズマ処理によって形成する有機膜が層間絶縁膜の保護膜として作用する。このため、その後のSiCバリア膜のエッティング時にも層間絶縁膜がサイドエッティングされることはなく、所望の特性（設計通りの特性）を得ることができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。なお、便宜上、半導体装置の構成については、その製造方法と共に説明する。

【0017】

（第1の実施形態）

先ず、本発明の第1の実施形態について説明する。図1乃至図3は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態では、シングルダマシン法により半導体装置を製造する。

【0018】

先ず、半導体基板（図示せず）の表面にトランジスタ等の素子を形成した後、その上に層間絶縁膜（図示せず）を形成し、この層間絶縁膜中にコンタクトプラグを形成する。更に、この層間絶縁膜上に層間絶縁膜1を形成し、図1（a）に示すように、層間絶縁膜1内にCu膜2（配線又はビアプラグ等の導電層）を埋め込み、これらの上に、エッティングストップ膜（バリア膜）としてSiC膜3を形成する。SiC膜3の厚さは、例えば30nmである。次に、SiC膜3上に、層間絶縁膜としてポーラスシリカ膜4を形成する。ポーラスシリカ膜4の厚さは、例えば200nmである。ポーラスシリカ膜4は、多孔質の低誘電率絶縁膜である。

【0019】

次いで、ポーラスシリカ膜4上に、キャップ膜（第1のハードマスク）としてSiC膜5を形成し、更に、第2のハードマスクとしてSiO₂膜6を形成する。SiC膜5及びSiO₂膜6の厚さは、夫々、例えば30nm、150nmである。続いて、SiO₂膜6

上に、第3のハードマスクとしてSiN膜7を形成する。SiN膜7の厚さは、例えば70nmである。その後、SiN膜7上に、パターニング時に必要な反射防止膜8を形成する。反射防止膜9は、例えば有機BARCである。そして、反射防止膜8上に、有機系の感光性ArFレジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク9を形成する。配線溝の幅は、例えば100nm程度である。また、反射防止膜8及びレジストマスク9の厚さは、夫々、例えば80nm、300nmである。

【0020】

次に、図1（b）に示すように、レジストマスク9をマスクとして、反射防止膜8及びSiN膜7をエッチングする。次いで、酸素アッシングによりレジストマスク9及び反射防止膜8を除去する。このとき、ポーラスシリカ膜4はSiO₂膜6及びSiC膜5により覆われているため、ポーラスシリカ膜4がアッシング時に酸素プラズマに晒されることはない。

【0021】

その後、図1（c）に示すように、SiN膜7をマスクとして、SiO₂膜6をエッチングする。続いて、図1（d）に示すように、SiN膜7をマスクとして、SiC膜5をエッチングする。このとき、SiN膜7の厚さが減少する。この結果、SiN膜7が消失してもよい。

【0022】

次いで、図2（a）に示すように、SiO₂膜6をマスクとして、ポーラスシリカ膜4をエッチングする。このエッチングは、酸素を用いない条件、例えば、CF₄：100sccm、CHF₃：100sccm、N₂：20sccmを処理チャンバ内に流入させ、圧力：13.3Pa（100mTorr）、RF電源パワー：500Wの条件の下で、プラズマエッチング装置を用いて行う。このエッチングの結果、ポーラスシリカ膜4にトレチ（配線溝）10が形成される。

【0023】

次に、水素プラズマ処理を行うことにより、図2（b）に示すように、ポーラスシリカ膜4の露出している部分を変質させて変質層4aを形成する。この水素プラズマ処理は、例えば、H₂：200sccm、N₂：100sccmを処理チャンバ内に流入させ、圧力：13.3Pa（100mTorr）、RF電源パワー：200Wの条件の下で、プラズマエッチング装置を用いて行う。また、処理時間は、変質層4aの厚さが10nm以下となる条件、例えば10秒間とする。この水素プラズマ処理の結果、変質層4aを含むポーラスシリカ膜4とSiC膜3との選択比が向上する。ポーラスシリカ膜4中のSi及びCの濃度は、変質層4aにおいて、他の部分よりも高くなっている。なお、Si又はCのいずれか一方の濃度が、変質層4aにおいて、他の部分よりも高くなっていてもよい。

【0024】

次いで、図3（a）に示すように、SiO₂膜6をマスクとしてエッチングを行うことにより、SiC膜3の露出している部位及びSiC膜7を除去する。このエッチングは、酸素を用いず、かつ窒素を用いる条件、例えば、CF₄：20sccm、CH₂F₂：20sccm、N₂：50sccmを処理チャンバ内に流入させ、圧力：3.99Pa（30mTorr）、RF電源パワー：200Wの条件の下で、プラズマエッチング装置を用いて行う。このエッチングの結果、トレチ10が下層のCu膜2まで到達する。続いて、全面のウェット洗浄を行う。

【0025】

次に、トレチ10の底部及び側部にバリアメタル膜及びCuシード膜（いずれも図示せず）を形成した後、図3（b）に示すように、めっき法により、トレチ10内にCu膜（配線材料）11を埋め込む。次いで、図3（c）に示すように、SiC膜5が露出するまでCu膜11にCMP（化学機械的研磨）を施すことにより、配線12を形成する。その後、図3（d）に示すように、更にバリア膜としてのSiC膜14及び層間絶縁膜13を形成した後、上層配線等の形成を行い、半導体装置を完成させる。

【0026】

このような第1の実施形態によれば、バリア膜としてのSiC膜3のエッチング時には、ポーラスシリカ膜4の側部に変質部4aが形成されており、ポーラスシリカ膜4がサイドエッチングによって後退することはない。このため、設計通りの構造及び特性を得ることができる。

【0027】**(第2の実施形態)**

次に、本発明の第2の実施形態について説明する。図4(a)乃至図4(c)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。第1の実施形態では、変質部4aを形成することにより、ポーラスシリカ膜4のサイドエッチングを防止しているが、変質部4aの存在によって誘電率が高くなる虞がある。第2の実施形態は、この点に鑑みてなされたものであり、第2の実施形態では、変質部4aを形成するのではなく、ポーラスシリカ膜4を保護する膜を形成する。

【0028】

本実施形態では、図4(a)に示すように、第1の実施形態と同様にして、ポーラスシリカ膜4のエッチングまでの処理を行う。但し、本実施形態では、図4(a)に示すように、この時点でSiN膜7を消失させている。SiN膜7は後の工程で用いられるものではないため、第1の実施形態において消失させていても、第2の実施形態において残存させていてもよい。

【0029】

次に、図4(b)に示すように、ポーラスシリカ膜4の側面上に高分子デポ膜(有機膜)21を形成する。このとき、SiC膜3上にも高分子デポ膜21を同時に形成してもよい。この高分子デポ膜21の形成条件については後述する。

【0030】

次いで、図4(c)に示すように、SiO₂膜6をマスクとしてエッチングを行うことにより、SiC膜3の露出している部位を除去する。このとき、高分子デポ膜21がほとんど消滅する。その後、全面のウェット洗浄を行う。この結果、その前の時点で高分子デポ膜21が残存していたとしても、完全に除去される。

【0031】

そして、第1の実施形態と同様にして、Cu膜11の形成等を行うことにより、半導体装置を完成させる。

【0032】

このような第2の実施形態では、ポーラスシリカ膜4の側部に変質部4aを形成することもなく、また、高分子デポ膜21を形成してはいても、配線を形成する前には完全に除去しているので、より確実に設計通りの構造及び特性を得ることができる。

【0033】

ここで、高分子デポ膜21を形成する際の条件について説明する。図5は、プラズマ処理の条件と被処理膜の形状との関係を示す図であり、図6は、プラズマ処理の条件と被処理膜の処理状況との関係を示す図である。なお、いずれの図も、プラズマ処理の条件を、C₄F₆:x sccm、O₂:20 sccm、Ar:(400-20-x)sccmを処理チャンバ内に流入させ、圧力:13.3Pa(100mTorr)、RF電源パワー:1000Wとし、xの値を変化させたときに得られるものである。

【0034】

図5に示すように、SiC膜、ポーラスシリカ膜及びSiO₂膜のいずれの膜においても、xの値に応じて処理後の形状が変化する。より詳細には、xの値が小さいほどサイドエッチングによってボイニング形状(側面が弓形に後退した形状)になりやすく、xの値が大きいほど高分子デポ物が堆積しやすい。そして、これらの間の条件において、側面がほぼ垂直な形状が得られる。また、SiC膜の側面がほぼ垂直になる流速域(xの範囲)I、ポーラスシリカ膜の側面がほぼ垂直になる流速域II、SiO₂膜の側面がほぼ垂直になる流速域IIIは、後者ほど大きい。本願発明は、ポーラスシリカ膜

のサイドエッチングを防止することを目的としているため、第2の実施形態では、 C_4F_6 の流速を流速域I I以上とする必要がある。また、 SiO_2 膜に関しては、できるだけ高分子デポ物の堆積は避けることが好ましい。これは、このような堆積が生じると、チャンバ内が汚染され、半導体装置自体も汚染される虞があるからである。従って、 C_4F_6 の流速は流速域I I I以下とすることが好ましい。第2の実施形態では、プラズマ処理の条件を、 C_4F_6 ：30 sccm、 O_2 ：20 sccm、 Ar ：350 sccmを処理チャンバ内に流入させ、圧力：13.3 Pa (100 mTorr)、RF電源パワー：1000 Wとし、処理時間を4秒間としている。

【0035】

なお、図6に示すように、サイドエッチングが生じるか高分子デポ物の堆積が生じるかの境界は、エッチング速度が極大となるときの条件と実質的に一致している。但し、図6は、図4に示すような構造に対して得られる関係ではなく、 SiC 膜、ポーラスシリカ膜及び SiO_2 膜を個別に基板上に形成し、これらに対して上記のような条件の下でプラズマ処理を行ったときに得られるものである。そして、概ね、図6に示すエッチング速度を高分子デポ物の堆積速度が上回る条件において、高分子デポ物の堆積が進行して高分子デポ膜が形成される。一方、エッチング速度を高分子デポ物の堆積速度が下回る条件においては、被処理膜のエッチングが進行する。

【0036】

例えば、第2の実施形態に対し、 SiO_2 膜6のエッチングを行った後に、流速域I Iの条件下でポーラスシリカ膜4のエッチングを行い、更に同じく流速域I Iの条件下で SiC 膜4のエッチングを行うと、図7(a)に示すように、 SiC 膜3の形状がテープ形状となってしまう。また、第2の実施形態に対し、 SiO_2 膜6のエッチングを行った後に、流速域I Iの条件下でポーラスシリカ膜4のエッチングを行い、更に流速域Iの条件下で SiC 膜4のエッチングを行うと、図7(b)に示すように、ポーラスシリカ膜4の形状がボーリング形状となってしまう。図7(b)に示す状態は、図14(d)に示す状態に相当する。

【0037】

次に、本発明の第3の実施形態について説明する。図8乃至図12は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態では、先溝露光方式のデュアルダマシン法により半導体装置を製造する。

【0038】

先ず、図8(a)に示すように、層間絶縁膜1内に形成された Cu 膜2(導電層)上に、エッチングストップ膜として SiC 膜3を形成する。次に、 SiC 膜3上に、層間絶縁膜としてポーラスシリカ膜4を形成する。次いで、ポーラスシリカ膜4上に、キャップ膜(第1のハードマスク)として SiC 膜5を形成し、更に、第2のハードマスクとして SiO_2 膜6を形成する。続いて、 SiO_2 膜6上に、第3のハードマスクとして SiN 膜7を形成する。その後、 SiN 膜7上に、パターニング時に必要な反射防止膜8を形成する。反射防止膜8は、例えれば有機BARCである。そして、反射防止膜8上に、有機系の感光性 ArF レジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク9を形成する。

【0039】

次に、図8(b)に示すように、レジストマスク9をマスクとして、反射防止膜8をエッチングする。

【0040】

次いで、図8(c)に示すように、レジストマスク9をマスクとして、 SiN 膜7をエッチングする。この結果、 SiN 膜7が配線溝のパターンにパターニングされる。

【0041】

その後、図8(d)に示すように、レジストマスク9及び反射防止膜8を、アッシングにより除去する。

【0042】

続いて、図9（a）に示すように、SiN膜7の段差を埋めて平坦化する下層樹脂膜（有機膜）31を形成する。次に、下層樹脂膜31上に、下層樹脂膜31のエッティングの際にマスクとして使用するSOG（Spin On Glass）膜（無機膜）32を形成する。次いで、SOG膜32上に、有機系の感光性レジストを塗布し、これに露光及び現像を施すことにより、ビアホールのパターンが形成されたレジストマスク（感光性レジスト膜）33を形成する。

【0043】

なお、感光性レジストとしては、例えばKrFレーザ（波長：248nm）に感光する材料、ArFレーザ（波長：193nm）に感光する材料及びF2レーザ（波長：157nm）に感光する材料並びに電子線に感光する材料等を使用することができる。

【0044】

また、SOG膜32の原料としては、例えば有機シリケートガラス及び有機シロキサンポリマー等のSOG材料を使用することができ、下層樹脂膜31の原料としては、例えば塗布型の有機樹脂材料を使用することができる。

【0045】

その後、図9（b）に示すように、レジストマスク33をマスクとして、SOG膜32をエッティングする。

【0046】

続いて、図9（c）に示すように、SOG膜32をマスクとして、下層樹脂膜31をエッティングすると同時に、レジストマスク33を除去する。このエッティングでは、下層樹脂膜31が、レジストマスク33と同様に、有機系であるため、これらのエッティング選択比は1程度である。従って、レジストマスク33の膜厚が、下層樹脂膜31の膜厚よりも著しく厚い場合は、下層樹脂膜31のエッティングが終了しても、SOG膜32上にレジストマスク33が残る可能性がある。このため、レジストマスク33の膜厚は、下層樹脂膜31の膜厚よりも同等以下であることが望ましい。

【0047】

次に、図9（d）に示すように、下層樹脂膜31をマスクとして、SiN膜7及びSiO₂膜6をエッティングすることにより、これらの膜にビアホールのパターンを形成すると共に、SOG膜32を除去する。

【0048】

次いで、図10（a）に示すように、アッシングにより下層樹脂膜31を除去する。その後、図10（b）に示すように、SiO₂膜6をマスクとして、SiC膜5をエッティングする。このとき、SiN膜7もエッティングされ、その厚さが減少する。続いて、図10（c）に示すように、SiN膜7及びSiC膜5をマスクとして、SiO₂膜6及びポーラスシリカ膜4をエッティングする。このとき、ポーラスシリカ膜4については、その厚さ方向の中間部でエッティングを停止する。この結果、SiO₂膜6にも、配線溝のパターンが形成される。また、このエッティングによりポーラスシリカ膜4に形成された孔は、ビアホールの一部となる。次に、図10（d）に示すように、SiO₂膜6をマスクとして、エッティングにより、SiC膜5の露出している部位及びSiN膜7を除去すると共に、この結果、SiC膜5にも、配線溝のパターンが形成される。

【0049】

次いで、続いて、SiO₂膜6及びSiC膜5をマスクとして、層間絶縁膜であるポーラスシリカ膜4のエッティングを行うことにより、図11（a）に示すように、配線溝34を形成すると同時に、SiC膜3まで到達するビアホール35を形成する。

【0050】

その後、第2の実施形態と同様にして、図11（b）に示すように、ポーラスシリカ膜4の側面上に高分子デポ膜21を形成する。このとき、SiC膜3上にも高分子デポ膜21を同時に形成してもよい。この高分子デポ膜21の形成条件は、上述のとおりである。

【0051】

続いて、図11（c）に示すように、SiO₂膜6をマスクとしてエッティングを行うこ

とにより、SiC膜3の露出している部位を除去することにより、ビアホール35をCu膜2まで到達させる。このとき、高分子デポ膜21がほとんど消滅する。その後、全面のウェット洗浄を行う。この結果、その前の時点で高分子デポ膜21が残存していたとしても、完全に除去される。

【0052】

次に、配線溝34及びビアホール35の底部及び側部にバリアメタル膜及びCuシード膜（いずれも図示せず）を形成した後、図11(d)に示すように、めっき法により、配線溝34及びビアホール35内にCu膜（配線材料）11を埋め込む。次いで、図12に示すように、SiC膜5が露出するまでCu膜11にCMP（化学機械的研磨）を施すことにより、コンタクトビア36及びCu配線37を形成する。その後、更に層間絶縁膜及び上層配線等の形成を行い、半導体装置を完成させる。

【0053】

図13は、第3の実施形態を適用して製造した半導体装置の構造を示す断面図である。図13に示す例では、第3の実施形態に係る製造方法により、少なくとも2層の多層配線が形成されている。そして、最上層のCu配線37及びポーラスシリカ膜4上に、SiN等からなるパッシベーション膜41が形成されている。更に、パッシベーション膜41上に、シリコン酸化膜42及びSiN膜43からなるカバー膜が形成されている。カバー膜には、適宜パッド引出用の開口部（図示せず）が形成されている。

【0054】

このように本願発明をデュアルダマシン法に適用した場合にも、ポーラスシリカ膜4の変形を抑制することができ、設計通りの構造及び特性を得ることができる。なお、第3の実施形態では、第2の実施形態をデュアルダマシン法に適用しているが、第1の実施形態をデュアルダマシン法に適用してもよい。

【0055】

なお、層間絶縁膜の材料はSi、C及びOを含有するものであれば特に限定されるものではなく、ポーラスシリカ膜だけでなく、他の低誘電率絶縁膜、例えばSiOC膜、SiOCN膜、ポーラスSiOC膜、ポーラスSiOCN膜等を用いてもよい。

【0056】

また、変質層又は高分子デポ膜の形成のために行うプラズマ処理では、水素プラズマだけでなく、アンモニアプラズマ等の水素（元素）を含有する還元性ガスのプラズマを用いてもよい。また、ヘリウムプラズマを用いてポーラスシリカ膜等の層間絶縁膜の側面に衝撃を与えて硬化させてもよい。

【0057】

なお、上記特許文献1（特開平13-312883号公報）には、レジストマスクをマスクとして用いて多孔質膜をエッチングした後に、O₂/COプラズマでアッティングし、バリア膜としてのSiC膜をエッチングする方法が記載されているが、この方法では、プラズマを用いたアッティング処理によって、多孔質膜に損傷が生じてしまう。これに対し、本願発明では、層間絶縁膜に開口部を形成する前に、レジスト等の有機膜を除去しており、プラズマ処理の程度を適切に制御できるため、そのような損傷の発生を回避することができる。

【0058】

また、上記特許文献2（特許第3250518号明細書）には、有機系の低誘電率膜の加工に当たって、NH₃を使用するか、又はH₂にN₂を添加したガス系を使用することによって、低誘電率膜の側面に側壁デポ物を堆積させてパターンのボーリングを防止することが記載されている。しかし、この方法では、下層配線までトレンチを到達させる前に側壁デポ物をウェット処理に除去しているため、下層配線までトレンチを到達させる際に低誘電率膜を保護することはできない。尤も、低誘電率膜として有機膜を用いている以上、バリア膜としてのSiC膜のエッチング時の選択比は大きなものになるため、保護の必要性は低い。

【0059】

また、上記特許文献3（特許第3365554号明細書）には、多孔質膜のエッチング後にその側面が不安定になることを抑制することを目的として、O₂プラズマ処理を行うことによって表面を絶縁膜化した後に、更に、N H₃、N₂又はN₂Oのプラズマ処理を行うことで表面を窒化し、その後で下地絶縁膜を加工する方法が記載されている。しかし、多孔質膜の側面を窒化した場合には、下地絶縁膜（SiC膜）との選択比が下がるため、よりサイドエッチングが生じやすくなってしまう。

【0060】

また、上記特許文献4（特開2002-26121号公報）には、低密度低誘電率膜に対してO₂プラズマ処理を行うことが記載されているが、一般的なR I E (Reaction Ion Etching) 装置を用いてO₂プラズマ処理を行った場合には、サイドエッチングが生じて低密度低誘電率膜の側面が後退することがある。これに対し、本願発明のように、水素を含有し酸素を含有しないプラズマによる処理では、このような後退を発生させることができない。

【0061】

以下、本発明の諸態様を付記としてまとめて記載する。

【0062】

(付記1)

Si、C及びOを含有する層間絶縁膜と、
前記層間絶縁膜中に埋め込まれた配線と、
を有する半導体装置において、

前記層間絶縁膜中のSi又はCの濃度は、前記配線と接する部分において、他の部分よりも高くなっていることを特徴とする半導体装置。

【0063】

(付記2) 配線上にSiCバリア膜を形成する工程と、
前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する工程と、
前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成する工程と、
前記開口部に向かって露出する前記層間絶縁膜の側面に対して、水素を含有するガスを用いたプラズマ処理を行う工程と、

前記SiCバリア膜に対してエッチングを行うことにより、前記開口部を前記配線まで到達させる工程と、

前記開口部内に導電材を埋め込む工程と、
を有することを特徴とする半導体装置の製造方法。

【0064】

(付記3) 前記水素を含有するガスとして、少なくともH₂ガスを含有するガスを用いることを特徴とする付記2に記載の半導体装置の製造方法。

【0065】

(付記4) 前記水素を含有するガスとして、少なくともN H₃ガスを含有するガスを用いることを特徴とする付記2に記載の半導体装置の製造方法。

【0066】

(付記5) 前記プラズマ処理によって、前記層間絶縁膜の側面部分を変質させて前記SiCバリア膜との選択比を向上させることを特徴とする付記2乃至4のいずれか1項に記載の半導体装置の製造方法。

【0067】

(付記6) 前記プラズマ処理によって変質させる側面部分の厚さを10nm以下とすることを特徴とする付記5に記載の半導体装置の製造方法。

【0068】

(付記7) 前記プラズマ処理を行う際に、前記水素を含有するガスの他にN₂ガスを含有し、酸素を実質的に含まないガスを処理チャンバ内に流入させることを特徴とする付記2乃至6のいずれか1項に記載の半導体装置の製造方法。

【0069】

(付記8) 配線上にSiCバリア膜を形成する工程と、
 前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する工程と、
 前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成する工程と、
 前記開口部に向かって露出する前記層間絶縁膜の側面に対してプラズマ処理を行うこと
 により、前記層間絶縁膜の表面上に有機膜を形成する工程と、
 前記SiCバリア膜に対してエッティングを行うことにより、前記開口部を前記配線まで
 到達させる工程と、
 前記開口部内に導電材を埋め込む工程と、
 を有することを特徴とする半導体装置の製造方法。

【0070】

(付記9) 前記プラズマ処理を行う際に、炭素及びフッ素を含有するガスを処理チャ
 ンバ内に流入させることを特徴とする付記8に記載の半導体装置の製造方法。

【0071】

(付記10) 前記層間絶縁膜を形成する工程と、前記層間絶縁膜に開口部を形成する
 工程との間に、前記層間絶縁膜上にSiO₂膜を形成する工程を有し、

前記層間絶縁膜に開口部を形成する工程において、前記SiO₂膜にも前記開口部を形
 成し、

前記プラズマ処理を、前記SiO₂膜上には前記有機膜が形成されない条件の下で行う
 ことを特徴とする付記8又は9に記載の半導体装置の製造方法。

【0072】

(付記11) 前記プラズマ処理を行う工程及び前記SiCバリア膜に対してエッTING
 を行う工程において、C₄F₆ガスを用いることを特徴とする付記8乃至10のいずれか
 1項に記載の半導体装置の製造方法。

【0073】

(付記12) 配線上にSiCバリア膜を形成する工程と、
 前記SiCバリア膜上に、Si、C及びOを含有する層間絶縁膜を形成する工程と、
 前記層間絶縁膜に前記SiCバリア膜まで達する開口部を形成する工程と、
 前記開口部に向かって露出する前記層間絶縁膜の側面に対してプラズマ処理を行うこと
 により、前記層間絶縁膜の表面に衝撃を与えてその部分を硬化させる工程と、
 前記SiCバリア膜に対してエッティングを行うことにより、前記開口部を前記配線まで
 到達させる工程と、
 前記開口部内に導電材を埋め込む工程と、
 を有することを特徴とする半導体装置の製造方法。

【0074】

(付記13) 前記プラズマ処理を行う際に、少なくともHeガスを含有するガスを処
 理チャンバ内に流入させることを特徴とする付記12に記載の半導体装置の製造方法。

【0075】

(付記14) 前記層間絶縁膜として、低誘電率膜を形成することを特徴とする付記2
 乃至13のいずれか1項に記載の半導体装置の製造方法。

【0076】

(付記15) 前記層間絶縁膜として、ポーラスシリカ膜、SiOC膜、ポーラスSi
 OC膜、SiOCN膜及びポーラスSiOCN膜からなる群から選択された1種の膜を形
 成することを特徴とする付記2乃至14のいずれか1項に記載の半導体装置の製造方法。

【0077】

(付記16) シングルダマシン法を適用した半導体装置の製造方法であって、
 前記開口部を配線溝として形成することを特徴とする付記2乃至15のいずれか1項に
 記載の半導体装置の製造方法。

【0078】

(付記17) デュアルダマシン法を適用した半導体装置の製造方法であって、
 前記開口部を配線溝及びビアホールとして形成することを特徴とする付記2乃至15の

いずれか1項に記載の半導体装置の製造方法。

【図面の簡単な説明】

【0079】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】図1に引き続き、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】図2に引き続き、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】プラズマ処理の条件と被処理膜の形状との関係を示す図である。

【図6】プラズマ処理の条件と被処理膜の処理状況との関係を示す図である。

【図7】テーパ形状のSiC膜3及びボーリング形状のポーラスシリカ膜4を示す断面図である。

【図8】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】図8に引き続き、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】図9に引き続き、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】図10に引き続き、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】図11に引き続き、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】本発明の第3の実施形態を適用して製造した半導体装置の構造を示す断面図である。

【図14】従来のダマシン法を採用した半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

【0080】

1：層間絶縁膜

2：Cu膜

3：SiCバリア膜

4：ポーラスシリカ膜

4 a：変質層

5：SiCキャップ膜

6：SiO₂膜

7：SiN膜

8：反射防止膜

9：レジストマスク

10：トレンチ（配線溝）

11：Cu膜

12：配線

13：層間絶縁膜

14：SiC膜

21：高分子デポ膜（有機膜）

31：下層樹脂膜

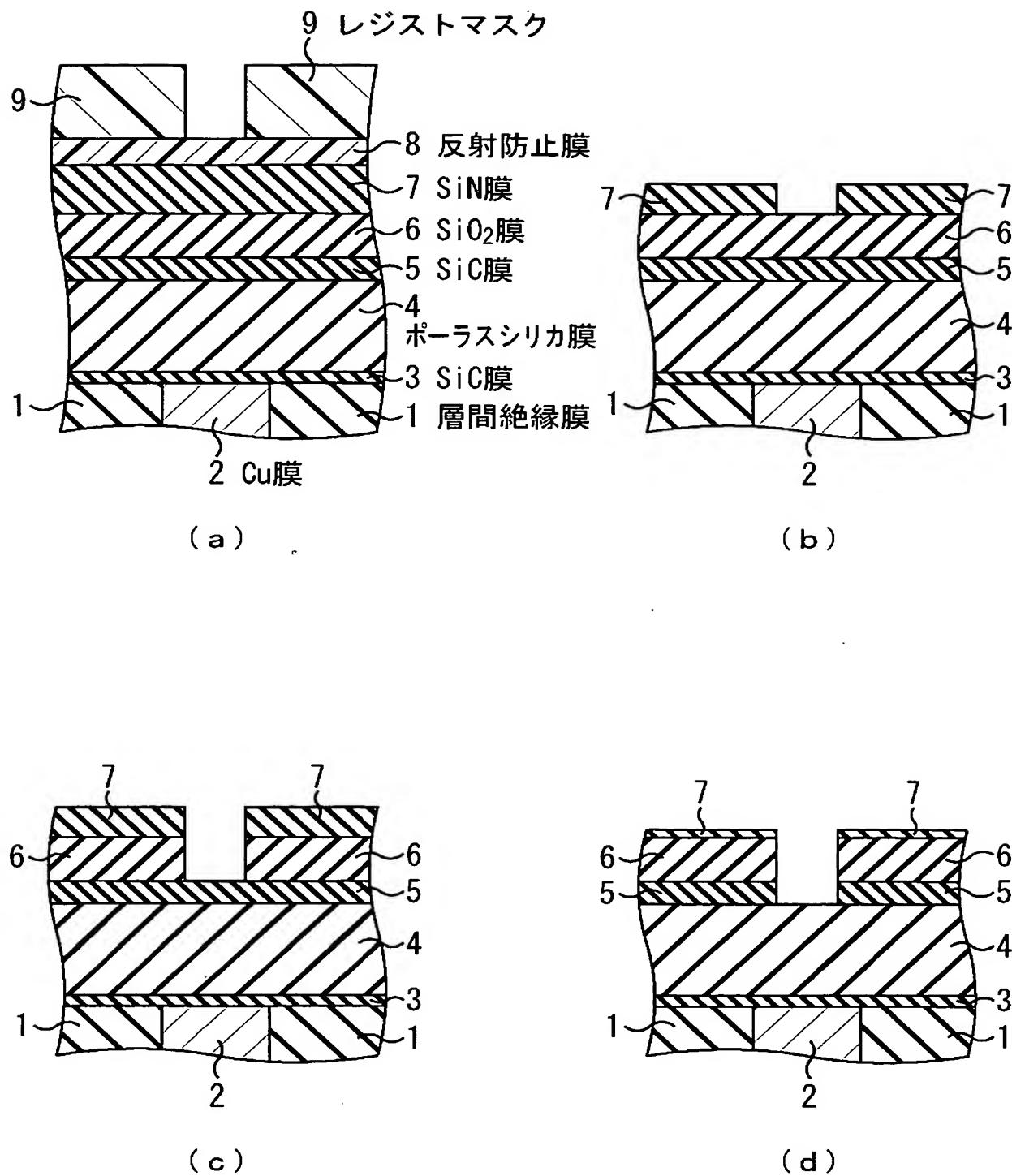
32：SOG膜

33：レジストマスク

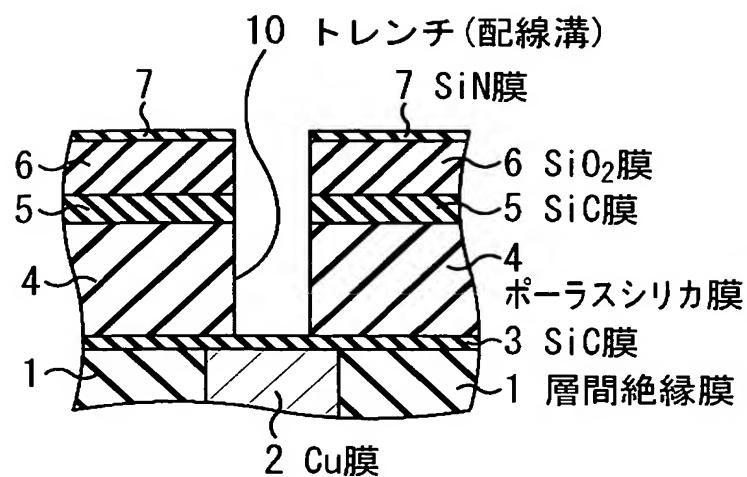
34：配線溝

35：ビアホール

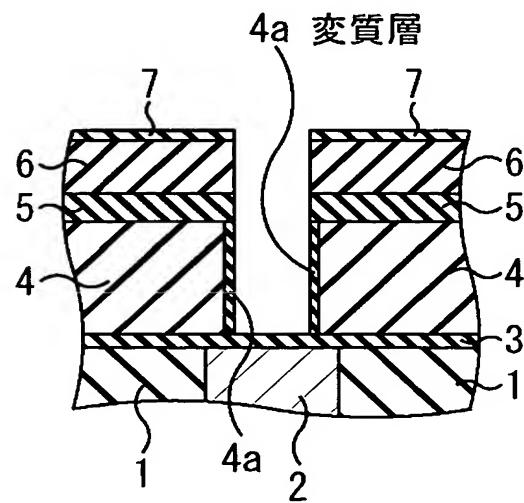
【書類名】 図面
【図 1】



【図 2】

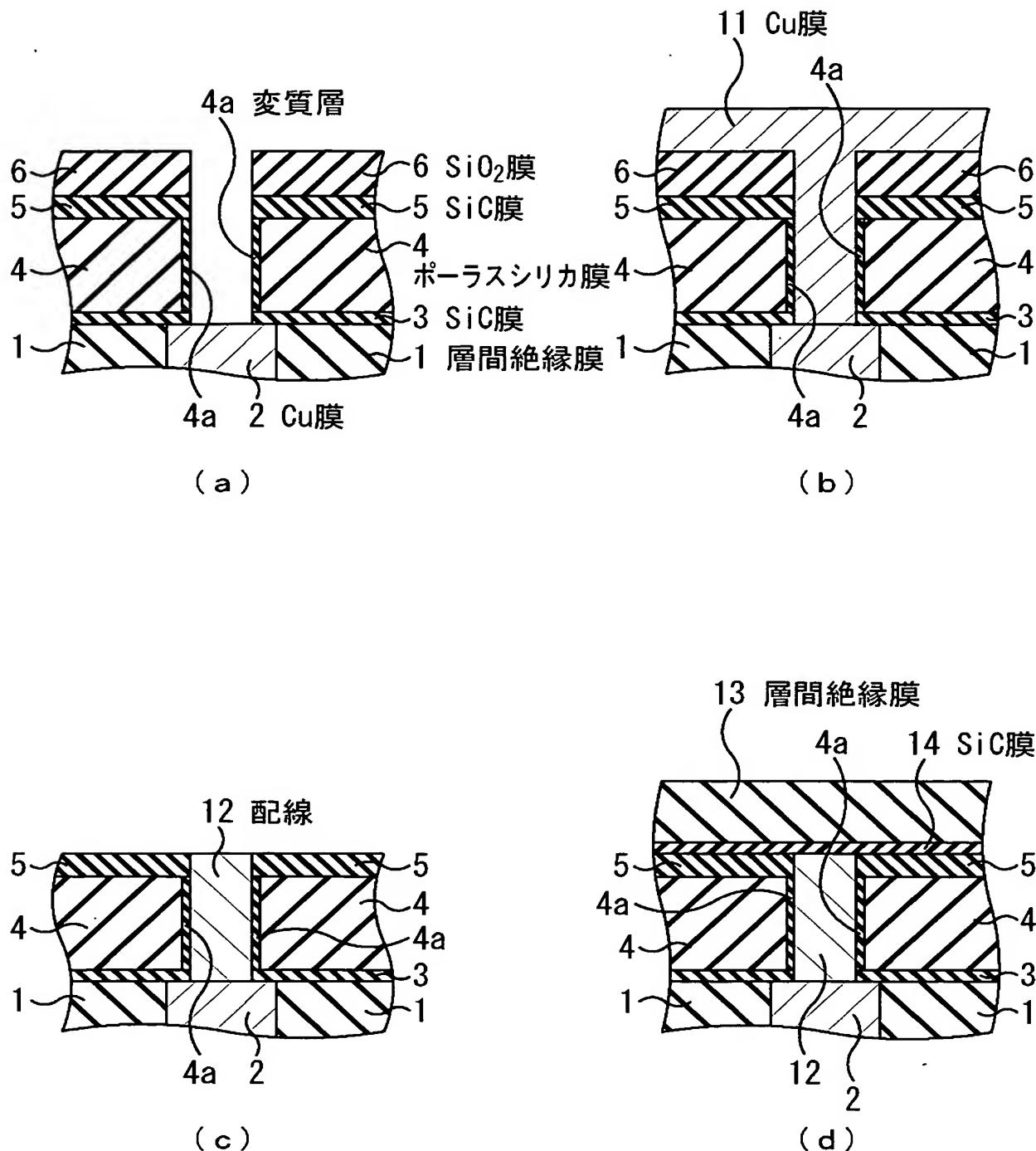


(a)

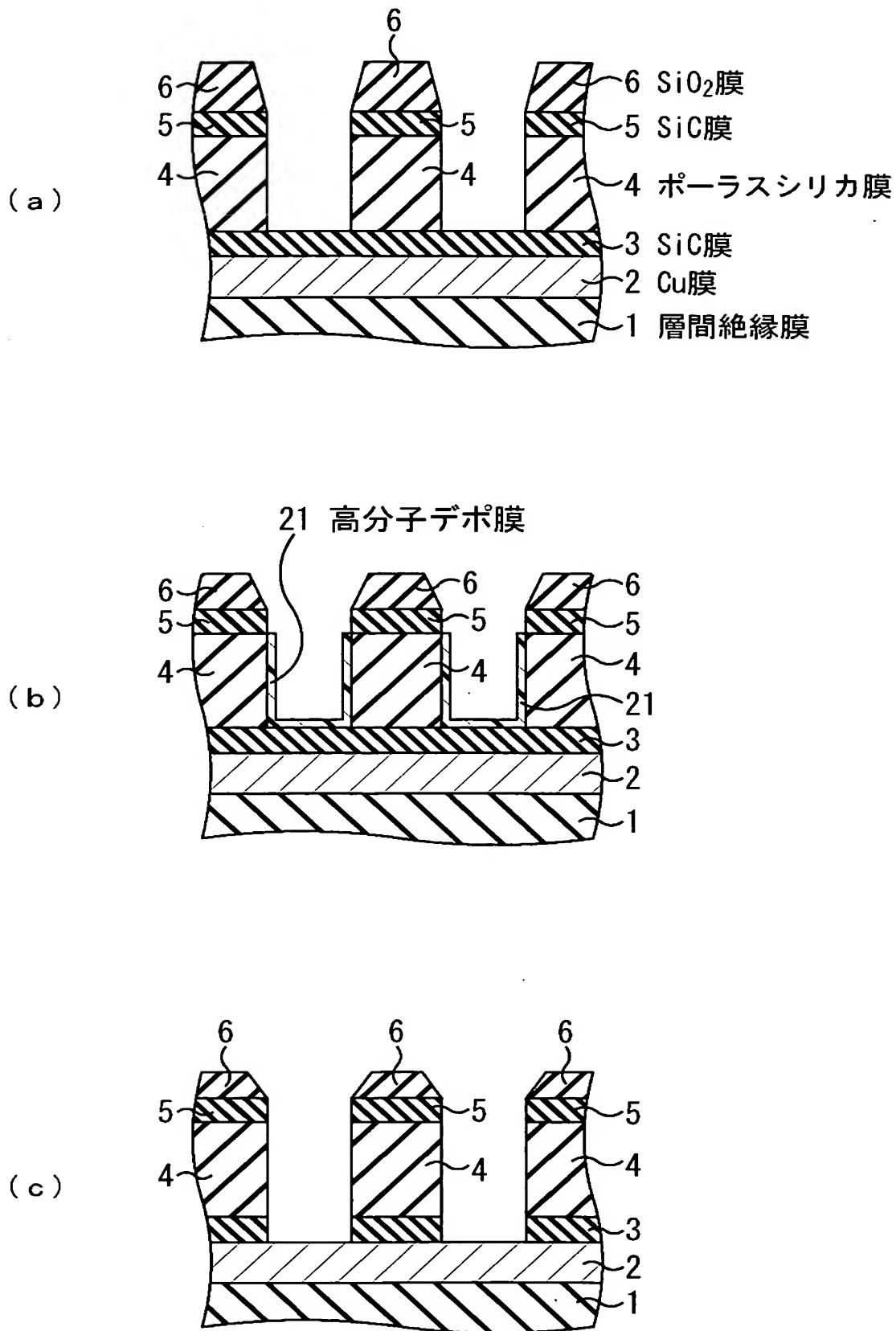


(b)

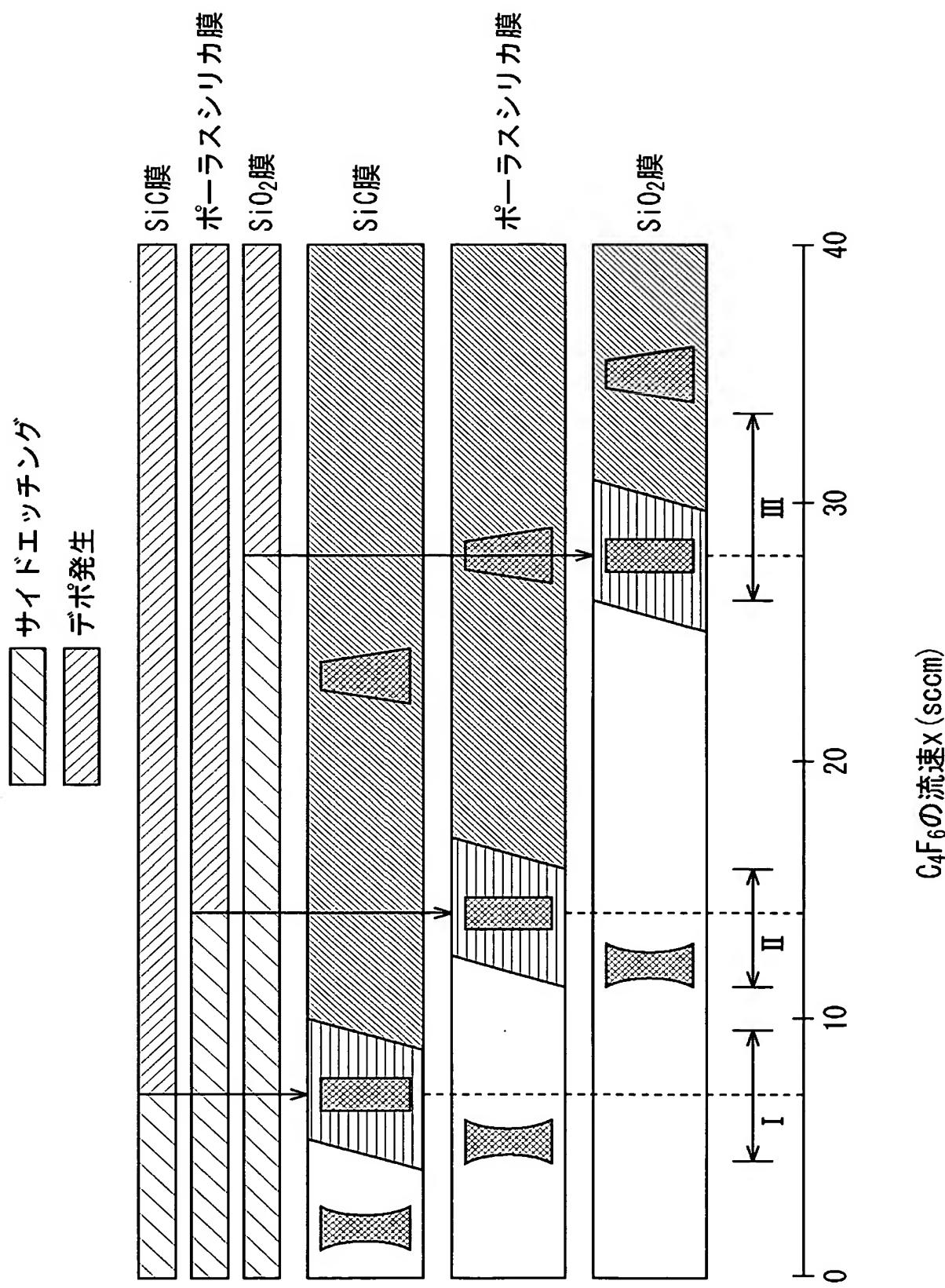
【図 3】



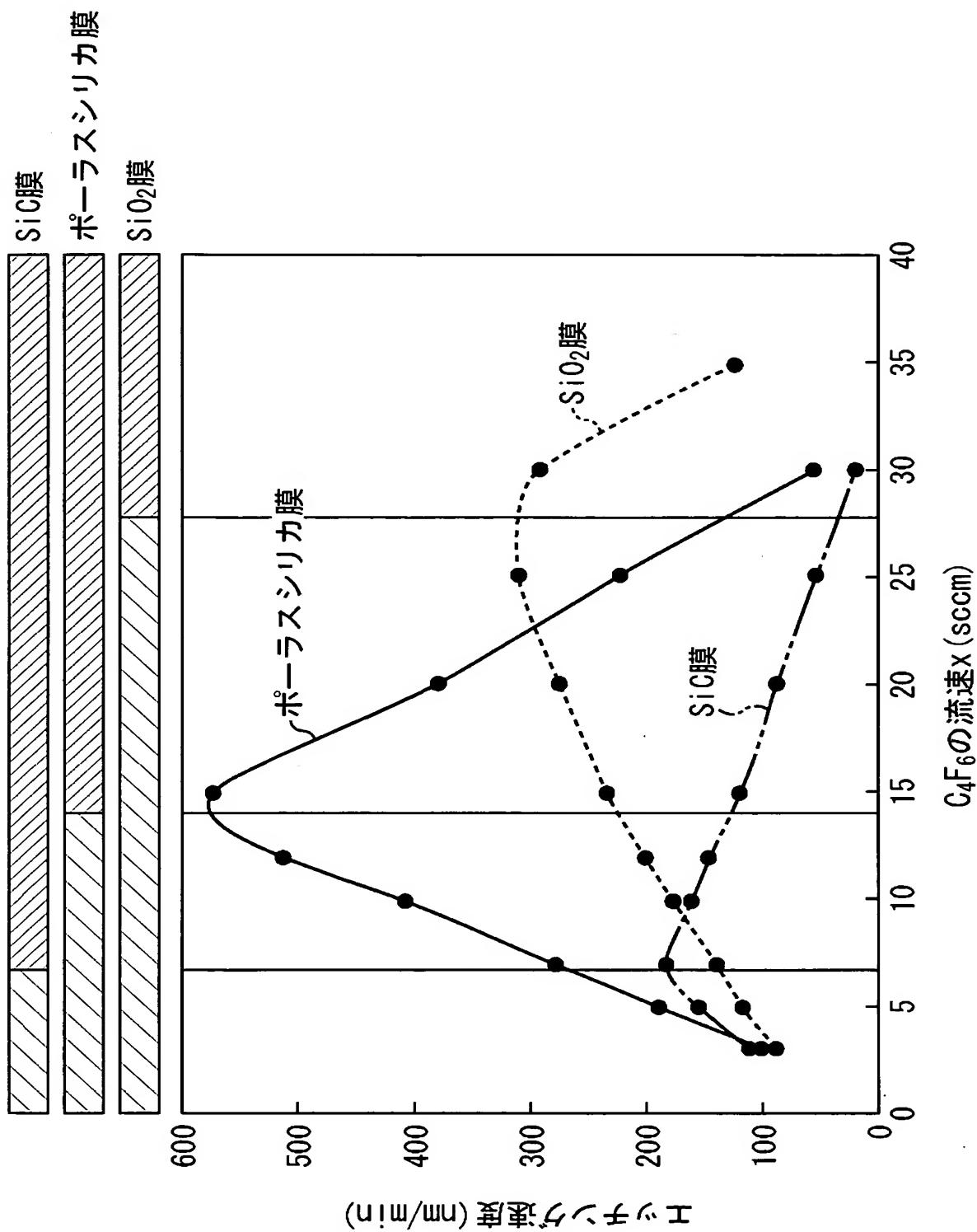
【図 4】



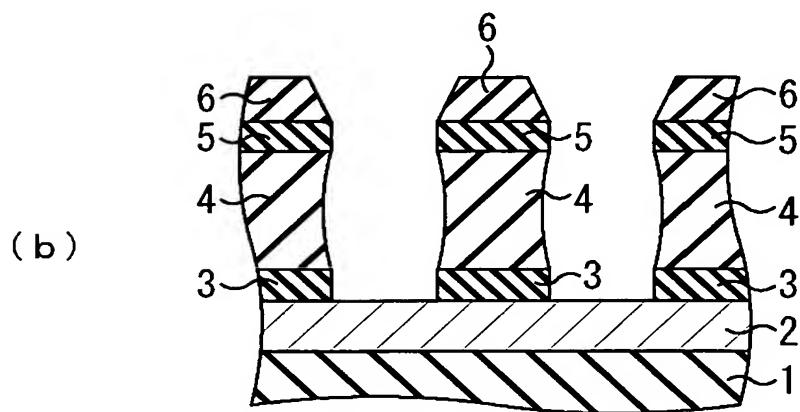
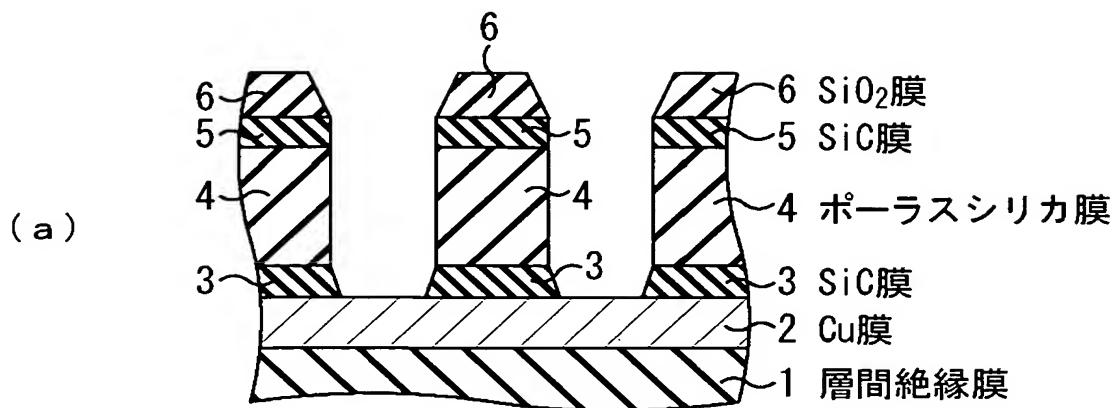
【図5】



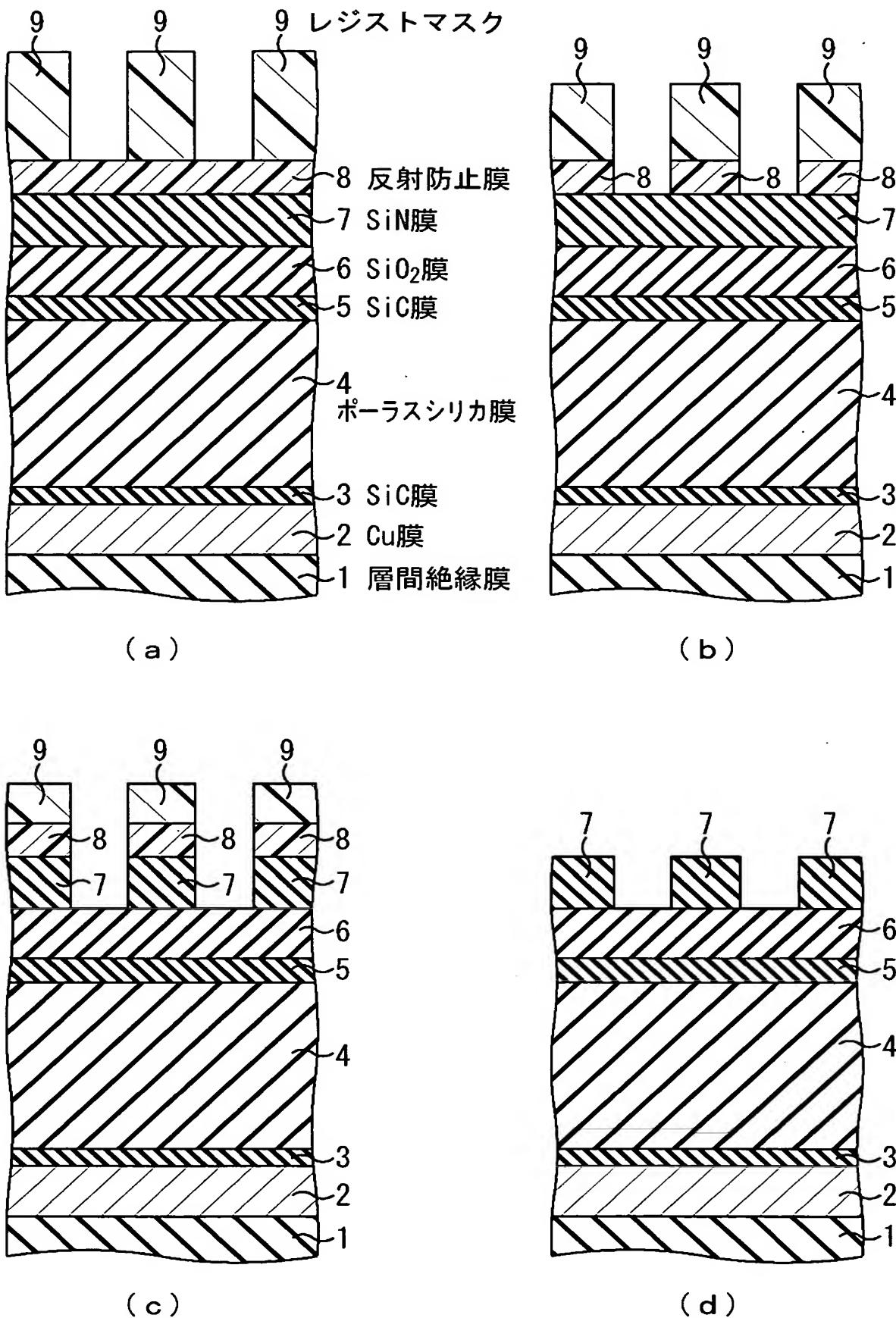
【図6】



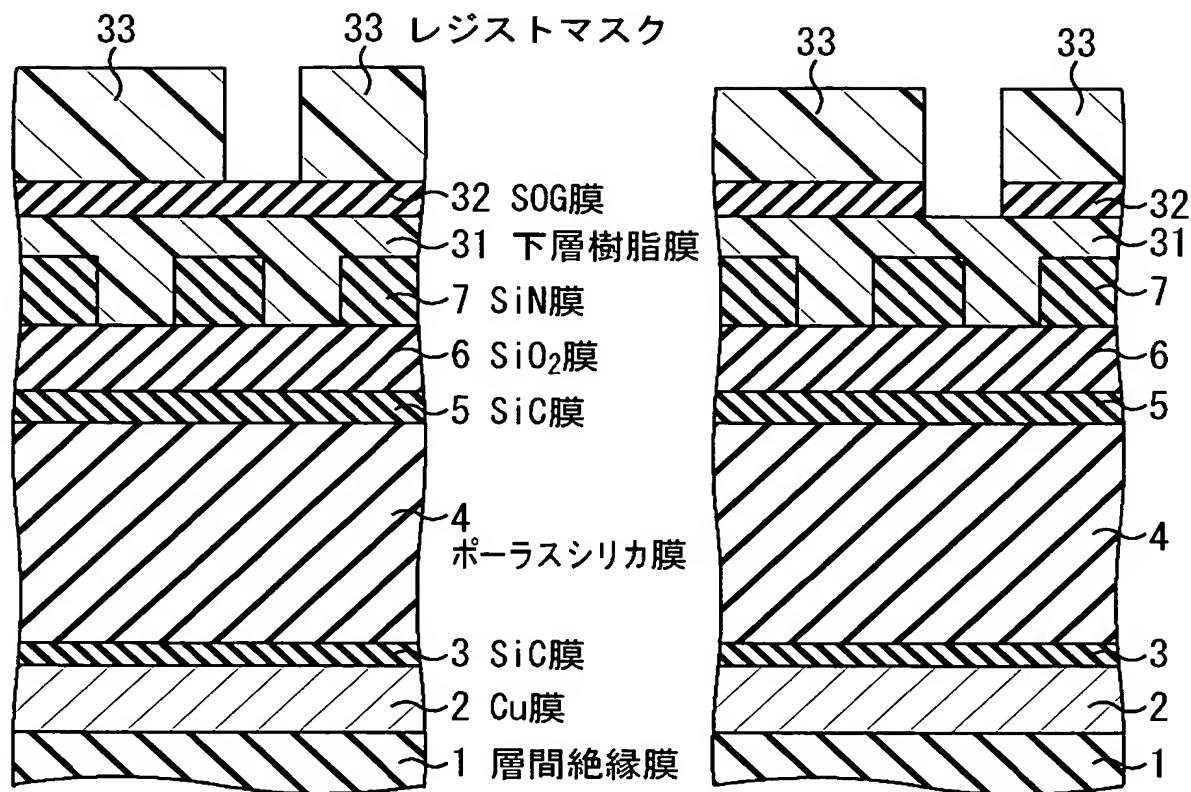
【図 7】



【図 8】

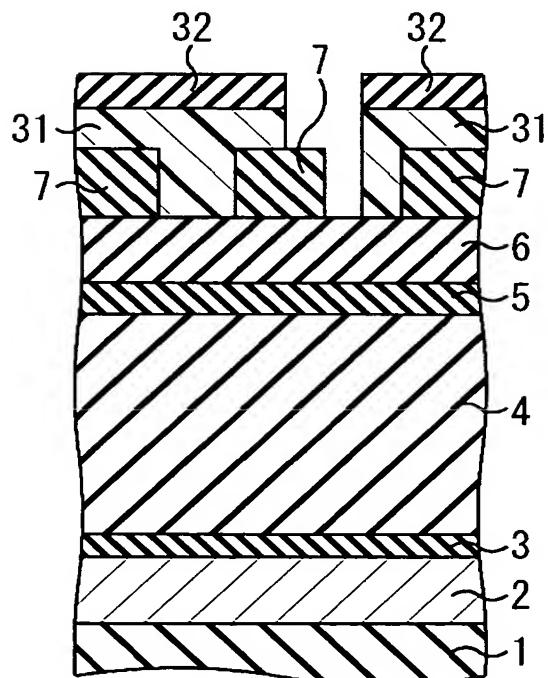


【図 9】

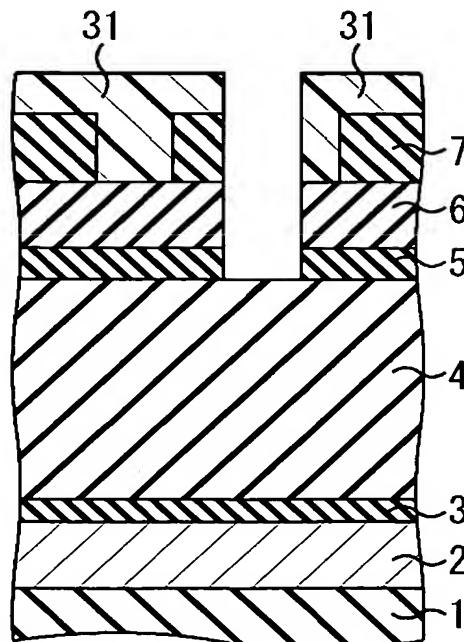


(a)

(b)

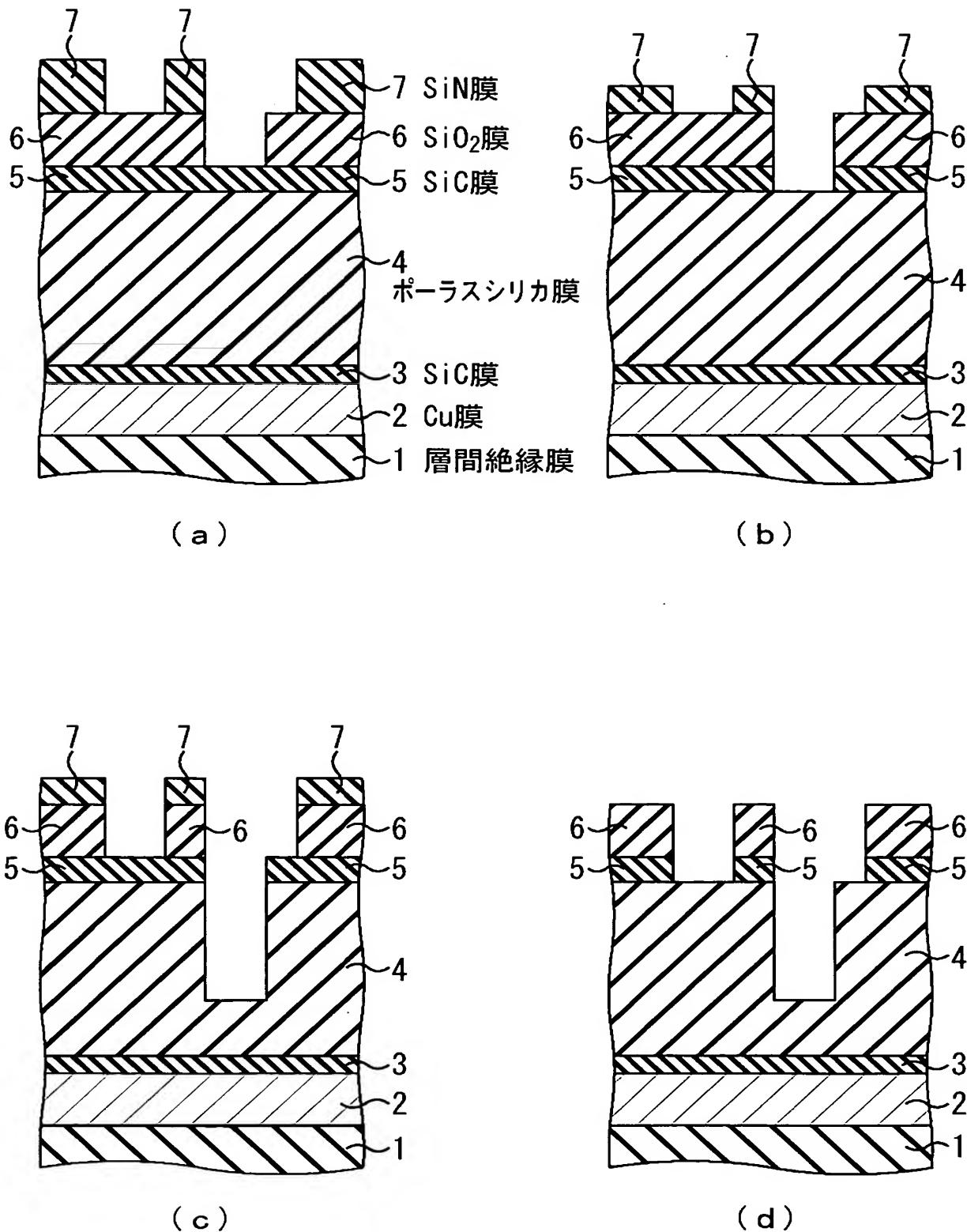


(c)

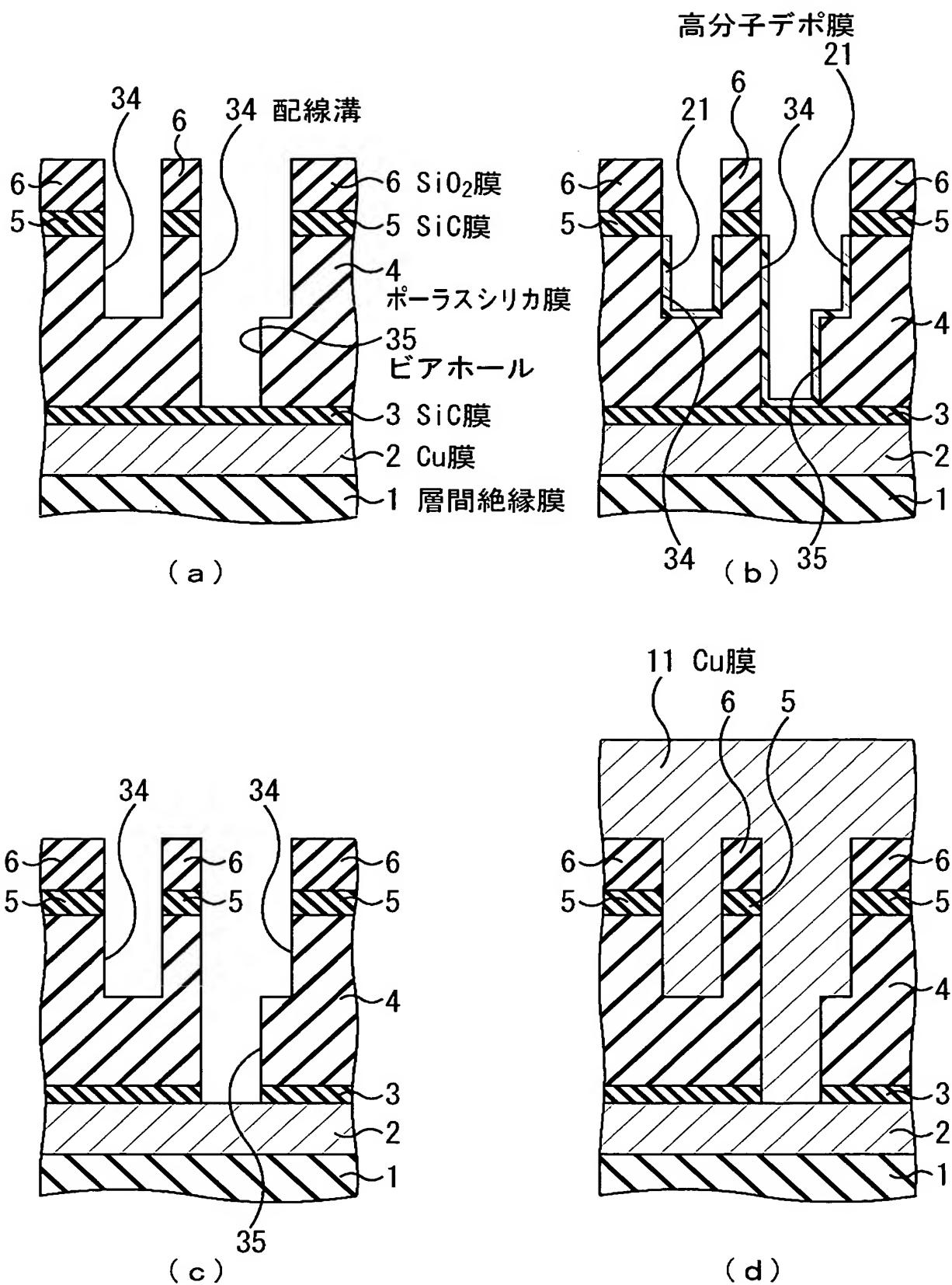


(d)

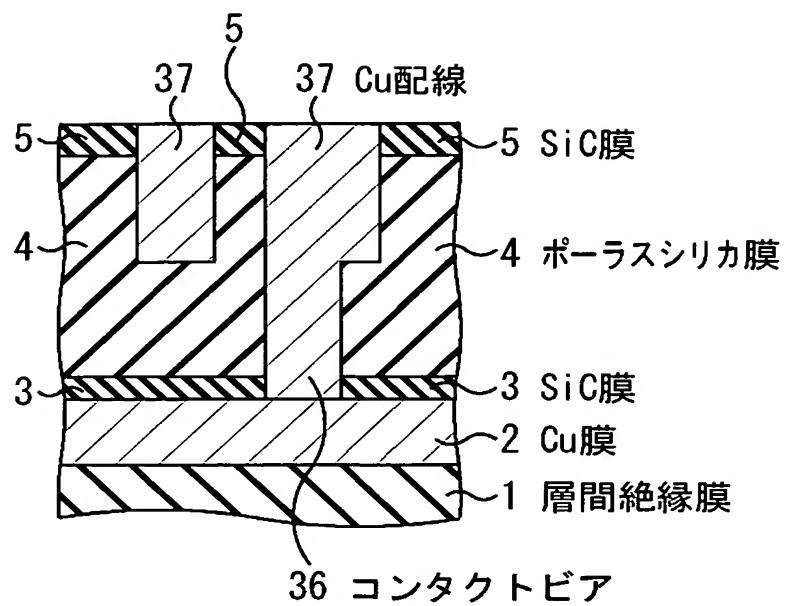
【図 10】



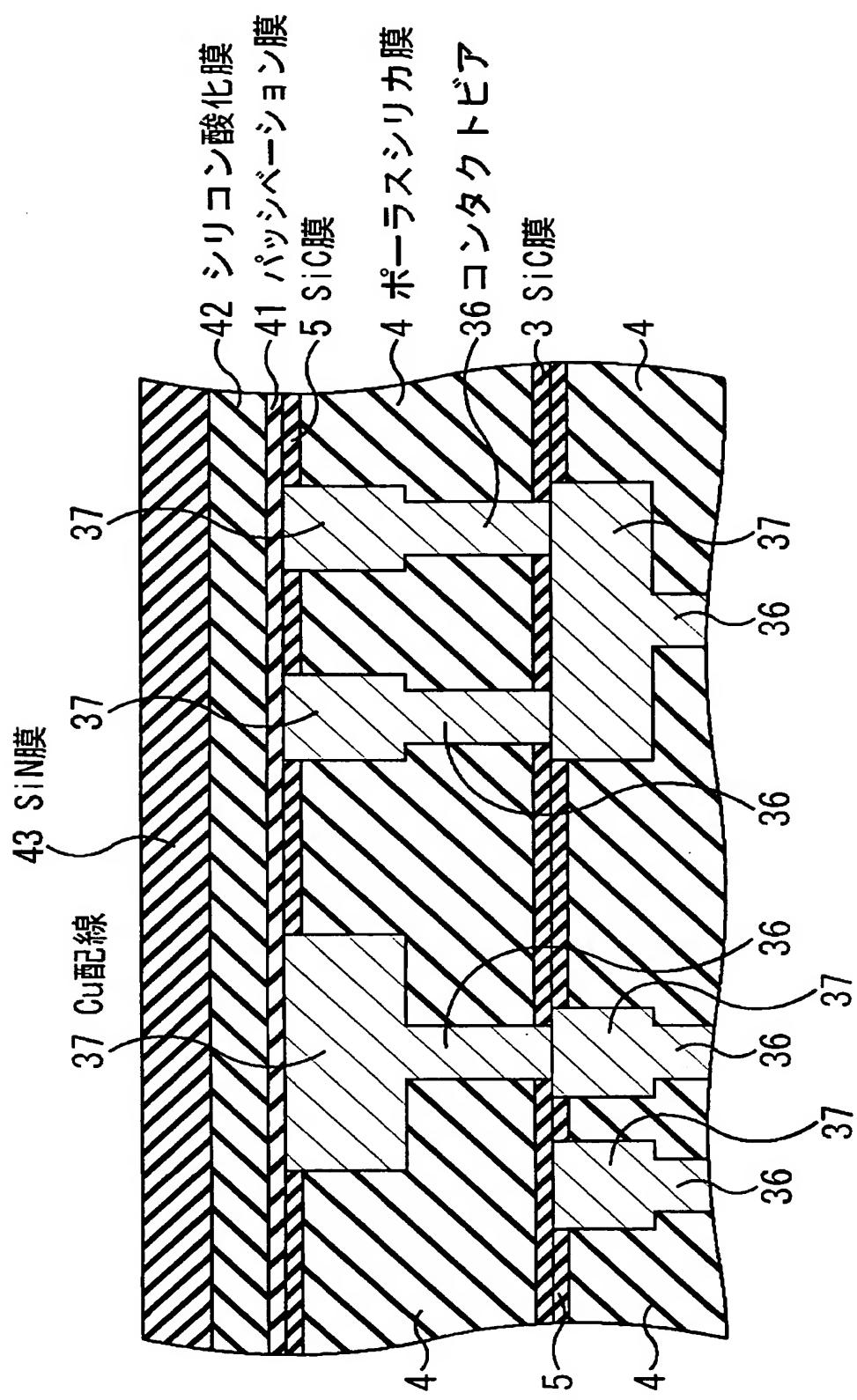
【図11】



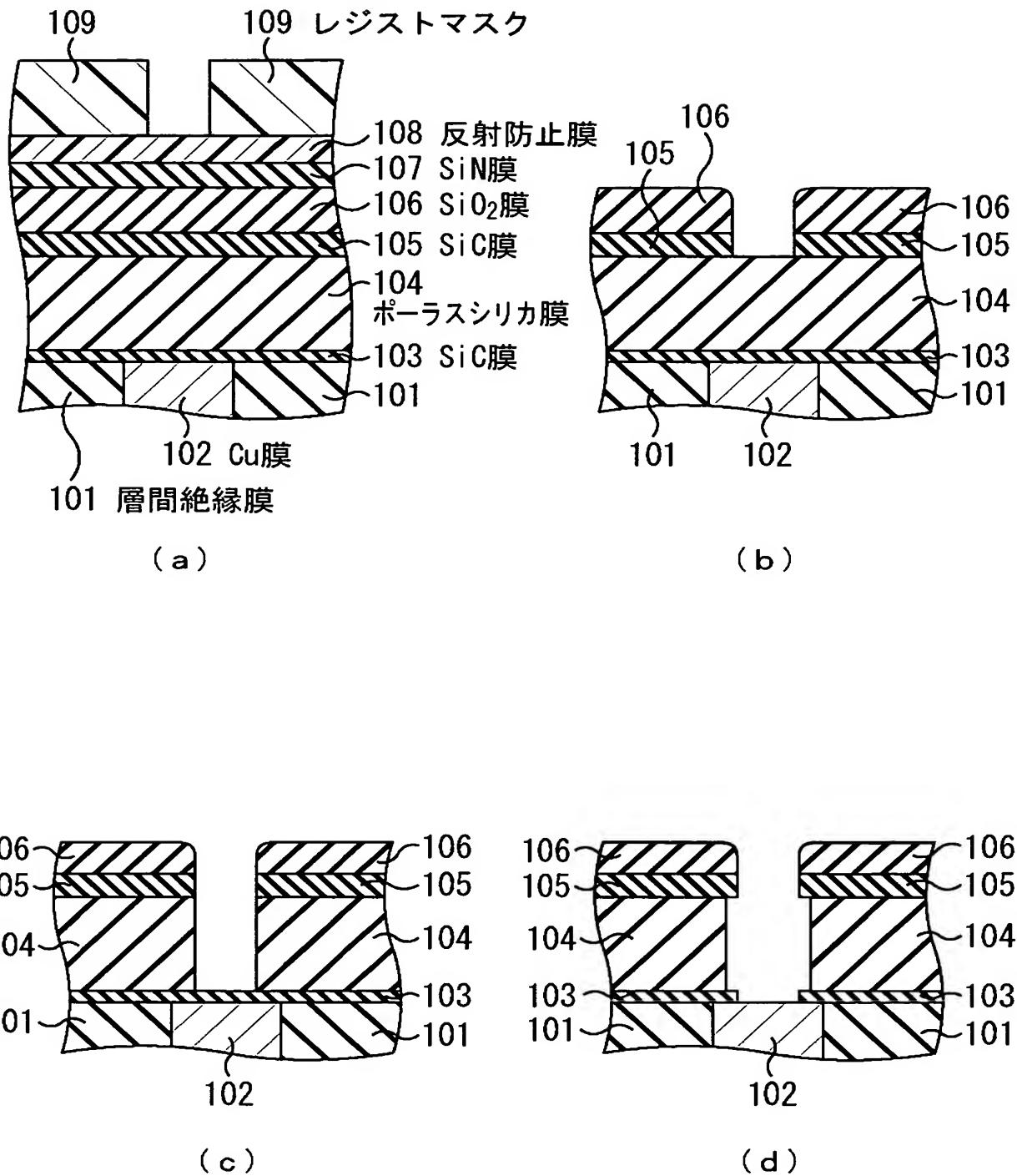
【図 12】



【図13】



【図 14】



【書類名】要約書

【要約】

【課題】 トレンチを形成する際の層間絶縁膜のサイドエッティングを防止して所望の特性を得ることができる半導体装置及びその製造方法を提供する。

【解決手段】 層間絶縁膜1及びCu膜2上に、SiC膜3、層間絶縁膜としてのポーラスシリカ膜4、SiC膜5、SiO₂膜6、SiN膜7及び反射防止膜8を順次形成する。次に、反射防止膜8上に、有機系の感光性ArFレジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク9を形成する。その後、ポーラスシリカ膜4、SiC膜5、SiO₂膜6及びSiN膜7にトレンチ10を形成し、ポーラスシリカ膜4の側面に対して、水素を含有するガスを用いたプラズマ処理を行うことにより、変質層4aを形成する。そして、SiC膜3の露出している部分に対してエッティングを行うことにより、トレンチ10をCu膜2まで到達させる。

【選択図】 図2

特願2003-280155

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社